

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 7月12日

出 願 番 号

Application Number:

特願2002-204305

[ST.10/C]:

[JP2002-204305]

出 願 人

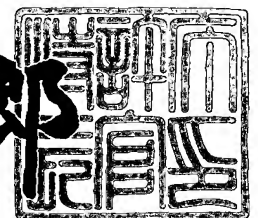
Applicant(s):

日本電気株式会社

2003年 5月 6日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3032918

【書類名】 特許願

【整理番号】 66206667

【あて先】 特許庁長官殿

【国際特許分類】 G06F 11/18

【発明者】

 【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

 【氏名】 山崎 茂雄

【発明者】

 【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

 【氏名】 愛野 茂幸

【特許出願人】

 【識別番号】 000004237

 【氏名又は名称】 日本電気株式会社

【代理人】

 【識別番号】 100093595

 【弁理士】

 【氏名又は名称】 松本 正夫

【手数料の表示】

 【予納台帳番号】 057794

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9303563

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 フォルトトレラントコンピュータ装置、その再同期化方法及び再同期化プログラム

【特許請求の範囲】

【請求項 1】 プロセッサ、メモリを含むコンピューティングモジュールを複数備え、各コンピューティングモジュールがクロック同期して同じ命令列を処理するロックステップ方式のフォルトトレラントコンピュータ装置において、

前記各コンピューティングモジュール内の前記各プロセッサ間の外部バスへのアクセス状態の不一致を検出した場合であって、前記各コンピューティングモジュールを含む装置の故障が検出されない場合に、全ての前記各プロセッサに対して割り込みを発生させ、前記各プロセッサにクロック同期制御命令を実行させることにより、各コンピューティングモジュールからのアクセスに対する応答タイミングを調整することで前記各コンピューティングモジュールに対してクロック同期での動作の再開処理を行うことを特徴とするフォルトトレラントコンピュータ装置。

【請求項 2】 前記各コンピューティングモジュールを含む装置全体の故障の有無を監視する障害監視制御手段と、

前記各コンピューティングモジュールのプロセッサの外部バスへのアクセスを監視し、各コンピューティングモジュール間の出力の不一致を検出した場合であって、前記各コンピューティングモジュールを含む装置の故障が検出されない場合に、その旨をコンピューティングモジュールに通知して前記各プロセッサに割り込みを発生させるバス監視制御手段と、

各コンピューティングモジュールからのアクセスに対する応答タイミングを調整することで各コンピューティングモジュールに対してクロック同期での動作を再開させる同期制御手段とを備えることを特徴とする請求項 1 に記載のフォルトトレラントコンピュータ装置。

【請求項 3】 前記バス監視制御手段が、

各コンピューティングモジュール間の出力の不一致を検出した場合であって、前記各コンピューティングモジュールを含む装置の故障が検出されない場合に、

各コンピューティングモジュール間のクロック同期の再同期を図るための所定のタスクであって、前記同期制御手段内の所定のリソースへのアクセスを実行するタスクを前記各プロセッサに割り込ませ、

前記同期制御手段が、

全てのコンピューティングモジュールからの前記リソースへのアクセスを待ち合わせて、同時に全てのコンピューティングモジュールに対して前記アクセスに対する応答を行うことを特徴とする請求項 2 に記載のフォルトトレラントコンピュータ装置。

【請求項 4】 前記バス監視制御手段と、前記障害監視制御手段と、前記同期制御手段を複数組備えることを特徴とする請求項 2 に記載のフォルトトレラントコンピュータ装置。

【請求項 5】 前記バス監視制御手段と、前記障害監視制御手段と、前記同期制御手段が、周辺装置の制御を行う周辺装置制御部内に備えられ、P C I ブリッジを介して前記コンピューティングモジュール内の外部バスに続されることを特徴とする請求項 2 に記載のフォルトトレラントコンピュータ装置。

【請求項 6】 プロセッサ、メモリを含むコンピューティングモジュールを複数備え、各コンピューティングモジュールがクロック同期して同じ命令列を処理するロックステップ方式のフォルトトレラントコンピュータ装置における再同期化方法であって、

前記各コンピューティングモジュール内の前記各プロセッサ間の外部バスへのアクセス状態の不一致を検出した場合であって、前記各コンピューティングモジュールを含む装置の故障が検出されない場合に、全ての前記各プロセッサに対して割り込みを発生させ、

前記各プロセッサにクロック同期制御命令を実行させることにより、各コンピューティングモジュールからのアクセスに対する応答タイミングを調整することで各コンピューティングモジュールに対してクロック同期での動作を再開させることを特徴とするフォルトトレラントコンピュータ装置の再同期化方法。

【請求項 7】 前記各コンピューティングモジュールを含む装置全体の故障の有無を監視するステップと、

前記各コンピューティングモジュールのプロセッサの外部バスへのアクセスを監視するステップと、

各コンピューティングモジュール間の出力の不一致を検出した場合であって、前記各コンピューティングモジュールを含む装置の故障が検出されない場合に、その旨をコンピューティングモジュールに通知して前記各プロセッサに割り込みを発生させるステップと、

前記各プロセッサにクロック同期制御命令を実行させ、各コンピューティングモジュールからのアクセスに対する応答タイミングを調整することで各コンピューティングモジュールに対してクロック同期での動作を再開させるステップとを備えることを特徴とする請求項 6 に記載のフォルトトレラントコンピュータ装置の再同期化方法。

【請求項 8】 各コンピューティングモジュール間の出力の不一致を検出した場合であって、前記各コンピューティングモジュールを含む装置の故障が検出されない場合に、各コンピューティングモジュール間のクロック同期の再同期を図るための所定のタスクであって、前記同期制御手段内の所定のリソースへのアクセスを実行するタスクを前記各プロセッサに割り込ませ、

全てのコンピューティングモジュールからの前記リソースへのアクセスを待ち合わせて、同時に全てのコンピューティングモジュールに対して前記アクセスに対する応答を行うことを特徴とする請求項 7 に記載のフォルトトレラントコンピュータ装置の再同期化方法。

【請求項 9】 プロセッサ、メモリを含むコンピューティングモジュールを複数備え、各コンピューティングモジュールがクロック同期して同じ命令列を処理するロックステップ方式のフォルトトレラントコンピュータ装置の再同期化処理を実行する再同期化プログラムであって、

前記各コンピューティングモジュール内の前記各プロセッサ間の外部バスへのアクセス状態の不一致を検出した場合であって、前記各コンピューティングモジュールを含む装置の故障が検出されない場合に、全ての前記各プロセッサに対して割り込みを発生させる機能と、

前記各プロセッサにクロック同期制御命令を実行させることにより、各コンピ

ューティングモジュールからのアクセスに対する応答タイミングを調整することで各コンピューティングモジュールに対してクロック同期での動作を再開させる機能を実行することを特徴とするフォルトトレラントコンピュータ装置の再同期化プログラム。

【請求項 1 0】 前記各コンピューティングモジュールを含む装置全体の故障の有無を監視する機能と、

前記各コンピューティングモジュールのプロセッサの外部バスへのアクセスを監視する機能と、

各コンピューティングモジュール間の出力の不一致を検出した場合であって、前記各コンピューティングモジュールを含む装置の故障が検出されない場合に、その旨をコンピューティングモジュールに通知して前記各プロセッサに割り込みを発生させる機能と、

前記各プロセッサにクロック同期制御命令を実行させ、各コンピューティングモジュールからのアクセスに対する応答タイミングを調整することで各コンピューティングモジュールに対してクロック同期での動作を再開させる機能とを実行することを特徴とする請求項 9 に記載のフォルトトレラントコンピュータ装置の再同期化プログラム。

【請求項 1 1】 各コンピューティングモジュール間の出力の不一致を検出した場合であって、前記各コンピューティングモジュールを含む装置の故障が検出されない場合に、各コンピューティングモジュール間のクロック同期の再同期を図るための所定のタスクであって、前記同期制御手段内の所定のリソースへのアクセスを実行するタスクを前記各プロセッサに割り込ませ、

全てのコンピューティングモジュールからの前記リソースへのアクセスを待ち合わせて、同時に全てのコンピューティングモジュールに対して前記アクセスに対する応答を行うことを特徴とする請求項 1 0 に記載のフォルトトレラントコンピュータ装置の再同期化プログラム。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、複数のコンピューティングモジュールで、同じ命令列をクロック同期させて全く同じに処理するロックステップ方式のフォルトトレラントコンピュータ装置 (fault tolerant computer) に関し、特にコンピューティングモジュール間の同一動作性が崩れた場合 (ロックステップが外れた場合) の再同期化処理の高速化を実現するフォルトトレラントコンピュータ装置及び高速再同期制御方法に関する。

【 0 0 0 2 】

【従来の技術】

従来のロックステップ方式のフォルトトレラントコンピュータ装置では、同じ命令列を同時期に実行している複数のコンピューティングモジュールの中で、故障あるいはその他の外的あるいは内的要因により、他のコンピューティングモジュールと異なる出力を行うコンピューティングモジュールを検出した場合は、以下のような対策を講じている。以降において、他のコンピューティングモジュールと同期して同じ動作を行うことができないコンピューティングモジュールを検出した場合の、当該コンピューティングモジュールをロックステップが外れたコンピューティングモジュールと称する。

【 0 0 0 3 】

すなわち、ロックステップが外れたコンピューティングモジュールを一旦運用状態から切り離し、ロックステップが外れる要因に応じて必要によりコンピューティングモジュールを交換し、あるいは交換を必要としない場合は必要に応じた再初期化処理等を行うことにより、運用状態に組み込むといった対策がとられている。

【 0 0 0 4 】

この運用状態への組み込みは、従来のロックステップ方式のフォルトトレラントコンピュータ装置では、ロックステップの外れたコンピューティングモジュールを交換したかどうかに関わりなく、その再組み込みのときに、他の運用を継続しているコンピューティングモジュールと再度同期をとって同じ処理をするために、運用状態のコンピューティングモジュールのもつメモリのデータを全て、再組み込みするコンピューティングモジュールのもつメモリへコピーしている。

【 0 0 0 5 】

【 発明が解決しようとする課題 】

従来のロックステップ方式のフォルトトレラントコンピュータ装置は、ロックステップが外れたコンピューティングモジュールの交換やロックステップが外れた原因の部位に応じた再初期化处理などを実施した後、再度運用状態に組み込む場合に、運用状態にあったコンピューティングモジュールを長時間停止させている。

【 0 0 0 6 】

すなわち、この従来のロックステップ方式のフォルトトレラントコンピュータ装置では、ロックステップが外れたコンピューティングモジュールの再組み込み処理の間、フォルトトレラントコンピュータ装置全体が長期間（一般に 3 ～ 5 秒間、乃至分オーダーの時間）、業務を停止してしまうという問題があった。

【 0 0 0 7 】

その理由は、ロックステップが外れたコンピューティングモジュールを運用状態に組み込むために、故障の状態に関わらず、常に全てのメモリ内容を、運用を継続しているコンピューティングモジュールから、再度組み込もうとしているコンピューティングモジュールにコピーしているためである。

【 0 0 0 8 】

また、このコピー処理中に正常なコンピューティングモジュールの運用を継続すると、正常なコンピューティングモジュールのメモリ内容がコピー処理中にも変更されるため、正しくコピーすることができない。このため、コピー処理中は、運用状態にあったコンピューティングモジュールを一旦停止させて、メモリの内容が更新されないようにしている。

【 0 0 0 9 】

現在のコンピューティングモジュール内のメモリの容量は、数ギガバイトに及んでいることから、メモリの全領域をコピーするには長時間を要することになる。

【 0 0 1 0 】

ところで、ロックステップ方式のフォルトトレラントコンピュータ装置では、

様々な原因により、各コンピューティングモジュール間のロックステップが外れる可能性がある。

【 0 0 1 1 】

第 1 の要因としては、コンピューティングモジュール内部で、固定的な故障が発生した場合である。この場合は、故障したコンピューティングモジュールの交換を行うことになり、交換するコンピューティングモジュールを運用系に組み込む時には、運用状態のコンピューティングモジュールのメモリの全てのデータをコピーする必要がある。

【 0 0 1 2 】

ロックステップ方式のフォルトトレラントコンピュータ装置では、上述のような固定的な故障のほかに、コンピューティングモジュール内の各ユニットの製造上の差違により、正常動作はしているものの異なるタイミングで動作していることからロックステップが外れることや、 α 線等の影響によるメモリの自動訂正可能な間欠障害によってロックステップが外れることがある。

【 0 0 1 3 】

これらのケースでは、コンピューティングモジュール自体に固定的な故障が発生しているのではないことから、本来、交換する必要はなく、再度運用中の他のコンピューティングモジュールとの処理の同期化を行い、組み込むことで、フォルトトレラントコンピュータ装置全体として、正常な稼働状態に復旧せしめることができる。

【 0 0 1 4 】

本発明の目的は、固定的な故障以外の原因によってロックステップが外れたコンピューティングモジュールを、従来の方式より高速に運用状態に再組み込みすることを可能とし、これによって組み込み処理のために発生する装置の動作の一時停止時間を著しく短縮するフォルトトレラントコンピュータ装置、その再同期化方法及び再同期化プログラムを提案することにある。

【 0 0 1 5 】

本発明の他の目的は、上述の再組み込み処理時間の短縮により、装置の可用性の向上を実現するフォルトトレラントコンピュータ装置、その再同期化方法及び

再同期化プログラムを提案することにある。

【 0 0 1 6 】

【課題を解決するための手段】

上記目的を達成する本発明は、プロセッサ、メモリを含むコンピューティングモジュールを複数備え、各コンピューティングモジュールがクロック同期して同じ命令列を処理するロックステップ方式のフォルトトレラントコンピュータ装置において、前記各コンピューティングモジュール内の前記各プロセッサ間の外部バスへのアクセス状態の不一致を検出した場合であって、前記各コンピューティングモジュールを含む装置の故障が検出されない場合に、全ての前記各プロセッサに対して割り込みを発生させ、前記各プロセッサにクロック同期制御命令を実行させることにより、各コンピューティングモジュールからのアクセスに対する応答タイミングを調整することで前記各コンピューティングモジュールに対してクロック同期での動作の再開処理を行うことを特徴とする。

【 0 0 1 7 】

請求項 2 の本発明のフォルトトレラントコンピュータ装置は、前記各コンピューティングモジュールを含む装置全体の故障の有無を監視する障害監視制御手段と、前記各コンピューティングモジュールのプロセッサの外部バスへのアクセスを監視し、各コンピューティングモジュール間の出力の不一致を検出した場合であって、前記各コンピューティングモジュールを含む装置の故障が検出されない場合に、その旨をコンピューティングモジュールに通知して前記各プロセッサに割り込みを発生させるバス監視制御手段と、各コンピューティングモジュールからのアクセスに対する応答タイミングを調整することで各コンピューティングモジュールに対してクロック同期での動作を再開させる同期制御手段とを備えることを特徴とする。

【 0 0 1 8 】

請求項 3 の本発明のフォルトトレラントコンピュータ装置は、前記バス監視制御手段が、各コンピューティングモジュール間の出力の不一致を検出した場合であって、前記各コンピューティングモジュールを含む装置の故障が検出されない場合に、各コンピューティングモジュール間のクロック同期の再同期を図るため

の所定のタスクであって、前記同期制御手段内の所定のリソースへのアクセスを実行するタスクを前記各プロセッサに割り込ませ、前記同期制御手段が、全てのコンピューティングモジュールからの前記リソースへのアクセスを待ち合わせて、同時に全てのコンピューティングモジュールに対して前記アクセスに対する応答を行うことを特徴とする。

【 0 0 1 9 】

請求項 4 の本発明のフォルトトレラントコンピュータ装置は、前記バス監視制御手段と、前記障害監視制御手段と、前記同期制御手段を複数組備えることを特徴とする。

【 0 0 2 0 】

請求項 5 の本発明のフォルトトレラントコンピュータ装置は、前記バス監視制御手段と、前記障害監視制御手段と、前記同期制御手段が、周辺装置の制御を行う周辺装置制御部内に備えられ、P C I ブリッジを介して前記コンピューティングモジュール内の外部バスに続されることを特徴とする。

【 0 0 2 1 】

請求項 6 の本発明は、プロセッサ、メモリを含むコンピューティングモジュールを複数備え、各コンピューティングモジュールがクロック同期して同じ命令列を処理するロックステップ方式のフォルトトレラントコンピュータ装置における再同期化方法であって、前記各コンピューティングモジュール内の前記各プロセッサ間の外部バスへのアクセス状態の不一致を検出した場合であって、前記各コンピューティングモジュールを含む装置の故障が検出されない場合に、全ての前記各プロセッサに対して割り込みを発生させ、前記各プロセッサにクロック同期制御命令を実行させることにより、各コンピューティングモジュールからのアクセスに対する応答タイミングを調整することで各コンピューティングモジュールに対してクロック同期での動作を再開させることを特徴とする。

【 0 0 2 2 】

請求項 7 の本発明の再同期化方法は、前記各コンピューティングモジュールを含む装置全体の故障の有無を監視するステップと、前記各コンピューティングモジュールのプロセッサの外部バスへのアクセスを監視するステップと、各コンピ

ューティングモジュール間の出力の不一致を検出した場合であって、前記各コンピューティングモジュールを含む装置の故障が検出されない場合に、その旨をコンピューティングモジュールに通知して前記各プロセッサに割り込みを発生させるステップと、前記各プロセッサにクロック同期制御命令を実行させ、各コンピューティングモジュールからのアクセスに対する応答タイミングを調整することで各コンピューティングモジュールに対してクロック同期での動作を再開させるステップとを備えることを特徴とする。

【 0 0 2 3 】

請求項 8 の本発明の再同期化方法は、各コンピューティングモジュール間の出力の不一致を検出した場合であって、前記各コンピューティングモジュールを含む装置の故障が検出されない場合に、各コンピューティングモジュール間のクロック同期の再同期を図るための所定のタスクであって、前記同期制御手段内の所定のリソースへのアクセスを実行するタスクを前記各プロセッサに割り込ませ、全てのコンピューティングモジュールからの前記リソースへのアクセスを待ち合わせて、同時に全てのコンピューティングモジュールに対して前記アクセスに対する応答を行うことを特徴とする。

【 0 0 2 4 】

請求項 9 の本発明は、プロセッサ、メモリを含むコンピューティングモジュールを複数備え、各コンピューティングモジュールがクロック同期して同じ命令列を処理するロックステップ方式のフォルトトレラントコンピュータ装置の再同期化処理を実行する再同期化プログラムであって、前記各コンピューティングモジュール内の前記各プロセッサ間の外部バスへのアクセス状態の不一致を検出した場合であって、前記各コンピューティングモジュールを含む装置の故障が検出されない場合に、全ての前記各プロセッサに対して割り込みを発生させる機能と、前記各プロセッサにクロック同期制御命令を実行させることにより、各コンピューティングモジュールからのアクセスに対する応答タイミングを調整することで各コンピューティングモジュールに対してクロック同期での動作を再開させる機能を実行することを特徴とする。

【 0 0 2 5 】

請求項 1 0 の本発明の再同期化プログラムは、前記各コンピューティングモジュールを含む装置全体の故障の有無を監視する機能と、前記各コンピューティングモジュールのプロセッサの外部バスへのアクセスを監視する機能と、各コンピューティングモジュール間の出力の不一致を検出した場合であって、前記各コンピューティングモジュールを含む装置の故障が検出されない場合に、その旨をコンピューティングモジュールに通知して前記各プロセッサに割り込みを発生させる機能と、前記各プロセッサにクロック同期制御命令を実行させ、各コンピューティングモジュールからのアクセスに対する応答タイミングを調整することで各コンピューティングモジュールに対してクロック同期での動作を再開させる機能とを実行することを特徴とする。

【 0 0 2 6 】

請求項 1 1 の本発明の再同期化プログラムは、各コンピューティングモジュール間の出力の不一致を検出した場合であって、前記各コンピューティングモジュールを含む装置の故障が検出されない場合に、各コンピューティングモジュール間のクロック同期の再同期を図るための所定のタスクであって、前記同期制御手段内の所定のリソースへのアクセスを実行するタスクを前記各プロセッサに割り込ませ、全てのコンピューティングモジュールからの前記リソースへのアクセスを待ち合わせて、同時に全てのコンピューティングモジュールに対して前記アクセスに対する応答を行うことを特徴とする。

【 0 0 2 7 】

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照して詳細に説明する。図 1 は、本発明の第 1 の実施の形態によるロックステップ方式のフォルトトレラントコンピュータ装置の構成を示すブロック図である。

【 0 0 2 8 】

図 1 を参照すると、本実施の形態によるフォルトトレラントコンピュータ装置は、複数のコンピューティングモジュール 1 0 0、2 0 0、3 0 0 を備えて構成され、各コンピューティングモジュール 1 0 0、2 0 0、3 0 0 はそれぞれクロック同期して同じ命令列を処理し、各コンピューティングモジュールの処理結果を比

較し、1 個のコンピューティングモジュールで故障が発生しても、残りのコンピューティングモジュールにより処理を継続することができる。

【0 0 2 9】

各コンピューティングモジュール 1 0 0、2 0 0 は、それぞれ複数のプロセッサ 1 0 1、1 0 2、2 0 1、2 0 2、3 0 1、3 0 2 と、プロセッサ外部バス 1 0 3、2 0 3、3 0 3 と、メモリ 1 0 4、2 0 4、3 0 4 と、メモリ制御部 1 0 5、2 0 5、3 0 5 とを備えて構成されている。

【0 0 3 0】

また、各コンピューティングモジュール 1 0 0、2 0 0、3 0 0 は、メモリ制御部 1 0 5、2 0 5、3 0 5 及びインタフェース信号線 6 0 0、6 0 1、6 0 2、6 1 0、6 1 1、6 1 2 を介して周辺装置の制御を行う周辺装置制御部 4 0 0、5 0 0 と接続されている。

【0 0 3 1】

上記フォルトトレラントコンピュータ装置は、さらに、バス監視制御部 7 0 0 と、障害監視制御部 7 0 2 と、同期制御手段 7 0 1 とを備えている。

【0 0 3 2】

バス監視制御部 7 0 0 は、各コンピューティングモジュールのプロセッサの外部バスへのアクセスを監視する。このバス監視制御部 7 0 0 は、各コンピューティングモジュール 1 0 0、2 0 0、3 0 0 のプロセッサ外部バス 1 0 3、2 0 3、3 0 3 とインタフェース信号線 7 1 0、7 1 1、7 1 2 を介して接続されている。

【0 0 3 3】

障害監視制御部 7 0 2 は、各コンピューティングモジュールを含む装置全体の故障の有無を監視する。

【0 0 3 4】

そして、同期制御部 7 0 1 は、各コンピューティングモジュールと接続され、各コンピューティングモジュールからのアクセスに対する応答タイミングを調整することで各コンピューティングモジュールに対してクロック同期での動作を再開させる。この同期制御部 7 0 1 は、各コンピューティングモジュール 1 0 0、2 0 0、3 0 0 のメモリ制御部 1 0 5、2 0 5、3 0 5 とインタフェース信号線 7 3

0、731、732を介して接続されている。

【0035】

次いで、上記のように構成される本実施の形態によるフォルトトレラントコンピュータ装置の動作について説明する。

【0036】

障害監視制御部702は、各コンピューティングモジュール100、200、300と各周辺装置制御部400、500を含むフォルトトレラントコンピュータ装置全体の故障の有無を監視し、その結果をバス監視制御部700に通知する。

【0037】

バス監視制御部700は、各コンピューティングモジュール100、200、300のプロセッサ外部バス103、203、303とインタフェース信号線710、711、712を介して接続され、各プロセッサ101、102、201、202、301、302の外部アクセス制御信号を比較して、各プロセッサ101、102、201、202、301、302がクロック同期によって同じタイミングで外部バス103、203、303をアクセスしているかどうかを監視する。

【0038】

バス監視制御部700は、上記監視動作により、いずれかのプロセッサ101、102、201、202、301、302が他と異なるタイミングで動作していることを検出した時であって、障害監視制御部702がフォルトトレラントコンピュータ装置のどこにも故障を検出していなかった場合、このロックステップ外れの原因が故障によるものでないことを検知する。該検知結果は全てのコンピューティングモジュール100、200、300にインタフェース信号線710、711、712を介して通知され、各プロセッサに割り込まれる。また、同時にバス監視制御部700は、プロセッサの外部バス103、203、303の監視の中断モードに遷移する。

【0039】

ここで、バス監視制御部700は、プロセッサのメモリアクセスを含む全ての外部バス103、203、303へのアクセスを監視しており、かつ、コンピューティングモジュール間の動作の不一致を検出したとき、即座に全てのプロセッサ

1 0 1、1 0 2、2 0 1、2 0 2、3 0 1、3 0 2に割り込んで、その処理を中断させるため、割り込みの発生した時点では各コンピューティングモジュール 1 0 0、2 0 0、3 0 0内のメモリ 1 0 4、2 0 4、3 0 4の内容は全て一致した状態である。

【 0 0 4 0 】

以下、図 2 を参照して、本実施の形態によるフォルトトレラントコンピュータ装置の具体的な動作内容を説明する。

【 0 0 4 1 】

バス監視制御部 7 0 0 でコンピューティングモジュール間の動作の不一致を検出すると（図 2 のステップ 2 0 1）、インタフェース信号線 7 1 0、7 1 1、7 1 2 を介して通知され、各プロセッサに割り込みが発生する。

【 0 0 4 2 】

全てのプロセッサ 1 0 1、1 0 2、2 0 1、2 0 2、3 0 1、3 0 2 は、その割り込み処理中で、各コンピューティングモジュール 1 0 0、2 0 0、3 0 0 間のクロック同期動作の再同期を図るための同期制御タスクをレディーキューの先頭に最優先のタスクとしてキューイングする（図 2 のステップ 2 0 2）。

【 0 0 4 3 】

この同期制御タスクは、同期制御部 7 0 1 内の特別に規定されたリソースへのアクセス命令を実行する機能を有する。その後、OS によって上記同期制御タスクが実行状態に移されたとき、該タスクは同期制御部 7 0 1 内の規定されたリソースへのアクセス命令を実行する（図 2 のステップ 2 0 3）。

【 0 0 4 4 】

この時点では、ロックステップの外れたコンピューティングモジュールからの上記規定のリソースへのアクセスと、他のロックステップ状態にあるコンピューティングモジュールからの上記規定のリソースへのアクセスは、当然ながら時間的にずれた状態で同期制御部 7 0 1 に伝達される。

【 0 0 4 5 】

同期制御部 7 0 1 は、内部の特別に規定されたリソースへのコンピューティングモジュール 1 0 0、2 0 0、3 0 0 からのアクセスを検出すると、それが最初の

ものである場合、すぐに対応するコンピューティングモジュールに対する応答を返さず、その他の全てのコンピューティングモジュールからのアクセスがあるまで待ち合わせる（図2のステップ204）。全てのコンピューティングモジュール100、200、300からのアクセスが伝達されたとき、全てのコンピューティングモジュール100、200、300に対して同時にそのアクセスに対する応答を返却する。

【0046】

各コンピューティングモジュール100、200、300内の全てのプロセッサは、同期制御部701からの応答を受けて、上記同期制御タスクの実行を終了する（図2のステップ205）。そして、その後全てのプロセッサは、通常のプログラム動作を継続する（図2のステップ206）。

【0047】

以上説明した動作により、再び各コンピューティングモジュール100、200、300はクロック同期した状態で動作を継続することができる。このとき、前記した通り、各コンピューティングモジュール100、200、300内のメモリ104、204、304の内容が不一致となる前に再同期処理が実行されるため、再度クロック同期して動作したあとは、再び全てのコンピューティングモジュール100、200、300が、同じタイミングで同じ命令列を実行できる。このことにより、従来のフォルトトレラントコンピュータ装置のごとく再同期のためにメモリをコピーする必要がなくなり、再同期処理を高速に実行することができる。

【0048】

図3は、本発明の第2の実施の形態によるフォルトトレラントコンピュータ装置の構成を示すブロック図である。

【0049】

図3を参照すると、本発明の実施の形態によるフォルトトレラントコンピュータ装置は、プロセッサ、メモリを含むコンピューティングモジュール100、200とPCIブリッジ703を含む周辺装置制御部400、500をそれぞれ複数備え、各コンピューティングモジュール100、200はクロック同期して同

じ命令列を処理し、各コンピューティングモジュールの処理結果を比較し、1 個のコンピューティングモジュールで故障が発生しても、残りのコンピューティングモジュールにより処理を継続できる構成であり、また、各周辺装置制御部 4 0 0、5 0 0 は、ソフトウェア制御によって多重化され、1 個の周辺装置制御部で故障が発生しても、他の周辺装置制御部を利用して処理を継続できる構成となっている。

【 0 0 5 0 】

各周辺装置制御部 4 0 0 には、それぞれ各コンピューティングモジュール 1 0 0、2 0 0 内部のメモリ制御部 1 0 5、2 0 5 と P C I を介して接続され、周辺装置との接続を行う P C I ブリッジ 7 0 3 と、各コンピューティングモジュール 1 0 0、2 0 0 内部の各プロセッサの外部バスへのアクセスを監視するバス監視制御部 7 0 0 と、各コンピューティングモジュール 1 0 0、2 0 0 を含むフォルトトレラントコンピュータ装置全体の故障の有無を監視する障害監視制御部 7 0 2 と、各コンピューティングモジュールと前記 P C I ブリッジ 7 0 3 を介して接続され、各コンピューティングモジュールからのアクセスに対する応答タイミングを調整することで各コンピューティングモジュールのクロック同期を回復せしめる同期制御部 7 0 1 が備えられている。

【 0 0 5 1 】

なお、図示を省略しているが、周辺装置制御部 5 0 0 も、周辺装置制御部 4 0 0 と同様に上記各構成要素を備えている。

【 0 0 5 2 】

本実施の形態のロックステップ方式のフォルトトレラントコンピュータ装置においては、通常、周辺装置制御部 4 0 0 を使用することにより、各コンピューティングモジュール 1 0 0、2 0 0 のクロック同期の動作の監視と、周辺装置の制御を行う。周辺装置制御部 4 0 0 に故障が発生した場合は、周辺装置制御部 5 0 0 に切り替えることにより同様の処理を行う。

【 0 0 5 3 】

また、本実施の形態では、図 2 で示す同期制御部 7 0 1 内の規定のリソースへのアクセス命令実行（図 2 のステップ 2 0 3）は、周辺装置制御部 4 0 0 内部の

同期制御部 7 0 1 内部にあるレジスタへのリード命令の実行によって行い、そのリード命令は、P C I バス 8 0 0、8 0 1 と P C I ブリッジ 7 0 3 を介して同期制御部 7 0 1 に伝達し、その応答も同じ経路で各コンピューティングモジュール 1 0 0、2 0 0 に伝達する。

【 0 0 5 4 】

本実施の形態における再同期化処理の内容については、図 2 に示した内容と同様である。

【 0 0 5 5 】

また、本実施の形態では、コンピューティングモジュールが 2 個の場合の実施例を示しているが、図 1 の第 1 の実施の形態に示すようなコンピューティングモジュールが 3 つの構成、あるいは 4 つ以上の構成であっても、同様に作用する。

【 0 0 5 6 】

図 4 は、本発明の第 3 の実施の形態によるフォルトトレラントコンピュータ装置の構成を示すブロック図である。

【 0 0 5 7 】

本実施の形態では、バス監視制御部 7 0 0 は、P C I ブリッジ 7 0 3 を介してコンピューティングモジュール 1 0 0、2 0 0 と接続される構成を示している。

【 0 0 5 8 】

この実施の形態においては、各プロセッサの外部バス 1 0 3、2 0 3 の監視は、各コンピューティングモジュール 1 0 0、2 0 0 のメモリ制御部 1 0 5、2 0 5 と P C I バス 8 0 0、8 0 1、及び P C I ブリッジ 7 0 3 を経由してバス監視制御部 7 0 0 に伝達される信号（P C I バスプロトコル）によって実施される。また、バス監視制御部 7 0 0 から各コンピューティングモジュールへの割り込みの伝達は、上記と逆の経路を経由して実施される。

【 0 0 5 9 】

本実施の形態における再同期化処理の内容については、図 2 に示した内容と同様である。

【 0 0 6 0 】

なお、第 2 及び第 3 の実施の形態において、P C I を使って各コンピューティ

ングモジュールとバス監視制御部等を接続しているが、これらの間の接続は、たとえばP C I - Xなどの他の規格のインタフェースや、あるいは一般に規格化されていない専用のインタフェースであってもよく、本発明の効果にはなんら影響を与えない。

【 0 0 6 1 】

本発明のフォルトトレラントコンピュータ装置では、再同期化処理を実行する各手段の機能をハードウェア的に実現することは勿論として、上記した各手段の機能を実行する再同期化処理プログラム1 0 0 0をコンピュータ処理装置のメモリにロードしてコンピュータ処理装置を制御することで実現することができる。この再同期化処理プログラム1 0 0 0は、磁気ディスク、半導体メモリその他の記録媒体に格納され、その記録媒体からコンピュータ処理装置にロードされ、コンピュータ処理装置の動作を制御することにより、上述した各機能を実現する。

【 0 0 6 2 】

以上好ましい実施の形態をあげて本発明を説明したが、本発明は必ずしも上記実施の形態に限定されるものではなく、その技術的思想の範囲内において様々に変形して実施することができる。

【 0 0 6 3 】

上述した各実施の形態では、各コンピューティングモジュール内のプロセッサが2つの構成の場合を示したが、該プロセッサが1つ、あるいは3つ以上であってもまったく同様に作用する。

【 0 0 6 4 】

また、各実施の形態では、各プロセッサが1つの外部バスを共有し、同一バス上に接続されている場合を示しているが、例えば、メモリ制御部から複数のプロセッサが星形接続されるような構成であっても、あるいは1つのコンピューティングモジュールを構成するプロセッサが、物理的に複数のボードにわかれて構成されていても、本発明の効果になんら影響しない。

【 0 0 6 5 】

【発明の効果】

以上説明したように本発明によれば、以下に述べるような効果が得られるもの

である。

【0066】

第1の効果は、フォルトトレラントコンピュータ装置のあるコンピューティングモジュールが、固定故障以外の要因でロックステップ状態から外れた場合に、極めて短時間でロックステップ状態に回復させられることである。

【0067】

その理由は、バス監視制御手段によって、ロックステップ外れの発生の初期の段階であって、各コンピューティングモジュール内のメモリがまだ不一致となっていない時期にプロセッサに割り込ませ、再同期を制御するための命令列を実行するタスクを優先的に実行させることにより、メモリのコピーを行うことなく同期を回復させられるからである。

【0068】

第2の効果は、フォルトトレラントコンピュータ装置の可用性を向上させられることである。その理由は、ロックステップ外れがおこったときの再組み込み時間を著しく高速化することによって、装置全体が停止する期間を大幅に短縮することができるからである。

【図面の簡単な説明】

【図1】 本発明の第1の実施の形態によるフォルトトレラントコンピュータ装置の構成を示すブロック図である。

【図2】 本発明の第1の実施の形態によるフォルトトレラントコンピュータ装置の再同期化処理の内容を説明する図である。

【図3】 本発明の第1の実施の形態によるフォルトトレラントコンピュータ装置の構成を示すブロック図である。

【図4】 本発明の第1の実施の形態によるフォルトトレラントコンピュータ装置の構成を示すブロック図である。

【符号の説明】

100、200、300 コンピューティングモジュール

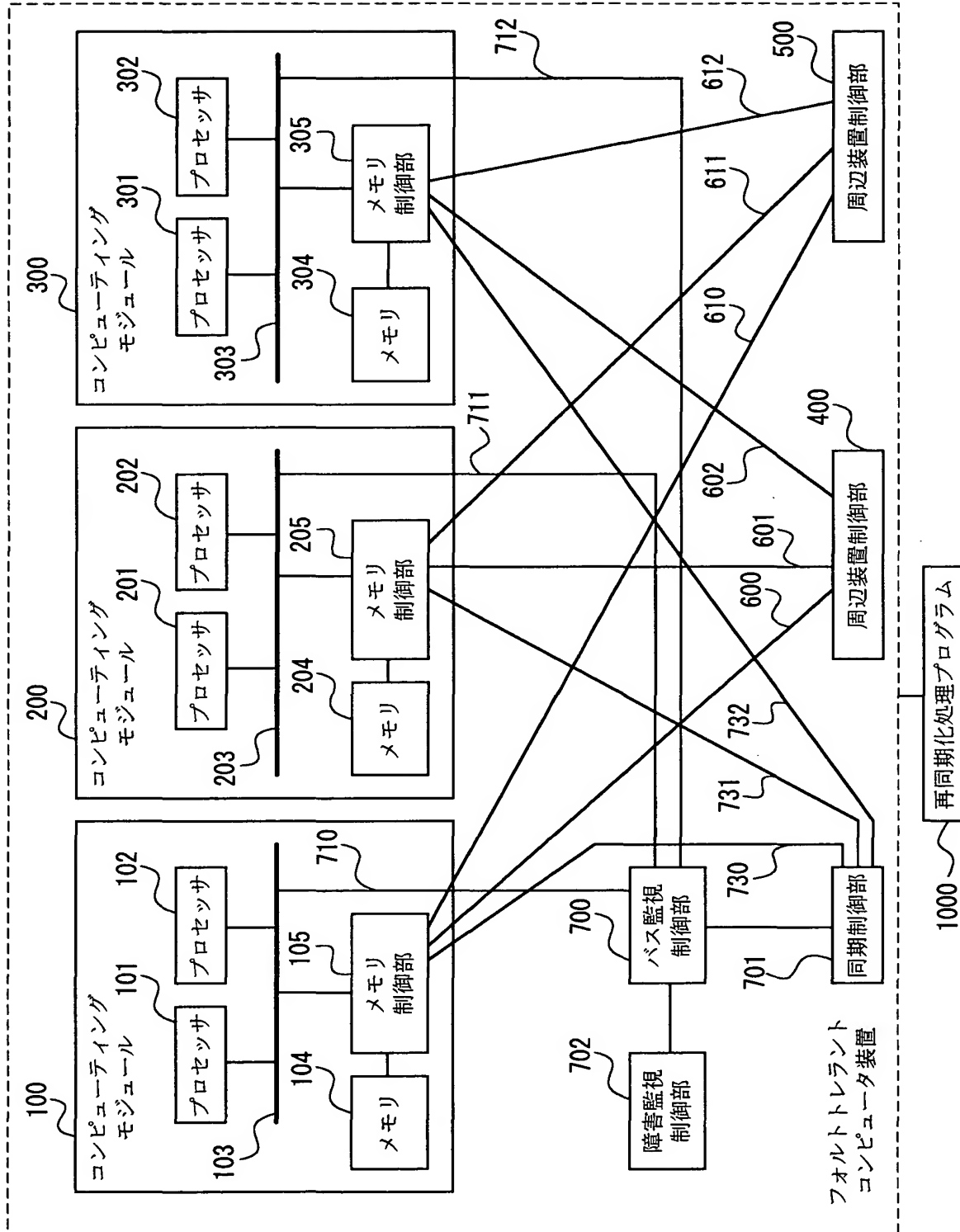
101、102、201、202、301、302 プロセッサ

103、203、303 プロセッサ外部バス

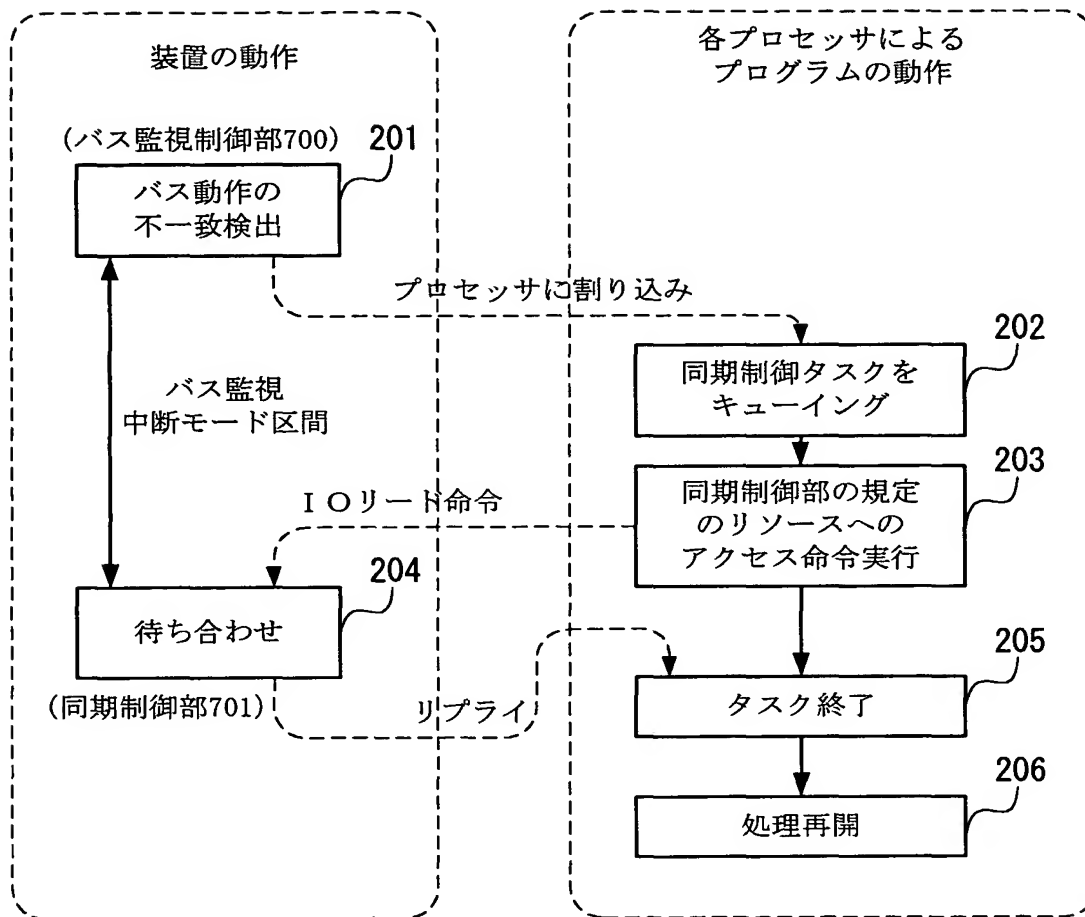
1 0 4、2 0 4、3 0 4 メモリ
1 0 5、2 0 5、3 0 5 メモリ制御部
4 0 0、5 0 0 周辺装置制御部
6 0 0、6 0 1、6 0 2、6 1 0、6 1 1、6 1 2、7 1 0、7 1 1、7 1 2、7 3
0、7 3 1、7 3 2 インタフェース信号線
7 0 0 バス監視制御部
7 0 1 同期制御部
7 0 2 障害監視制御部
7 0 3 P C I ブリッジ
8 0 0、8 0 1、8 0 2 P C I バス

【書類名】 図面

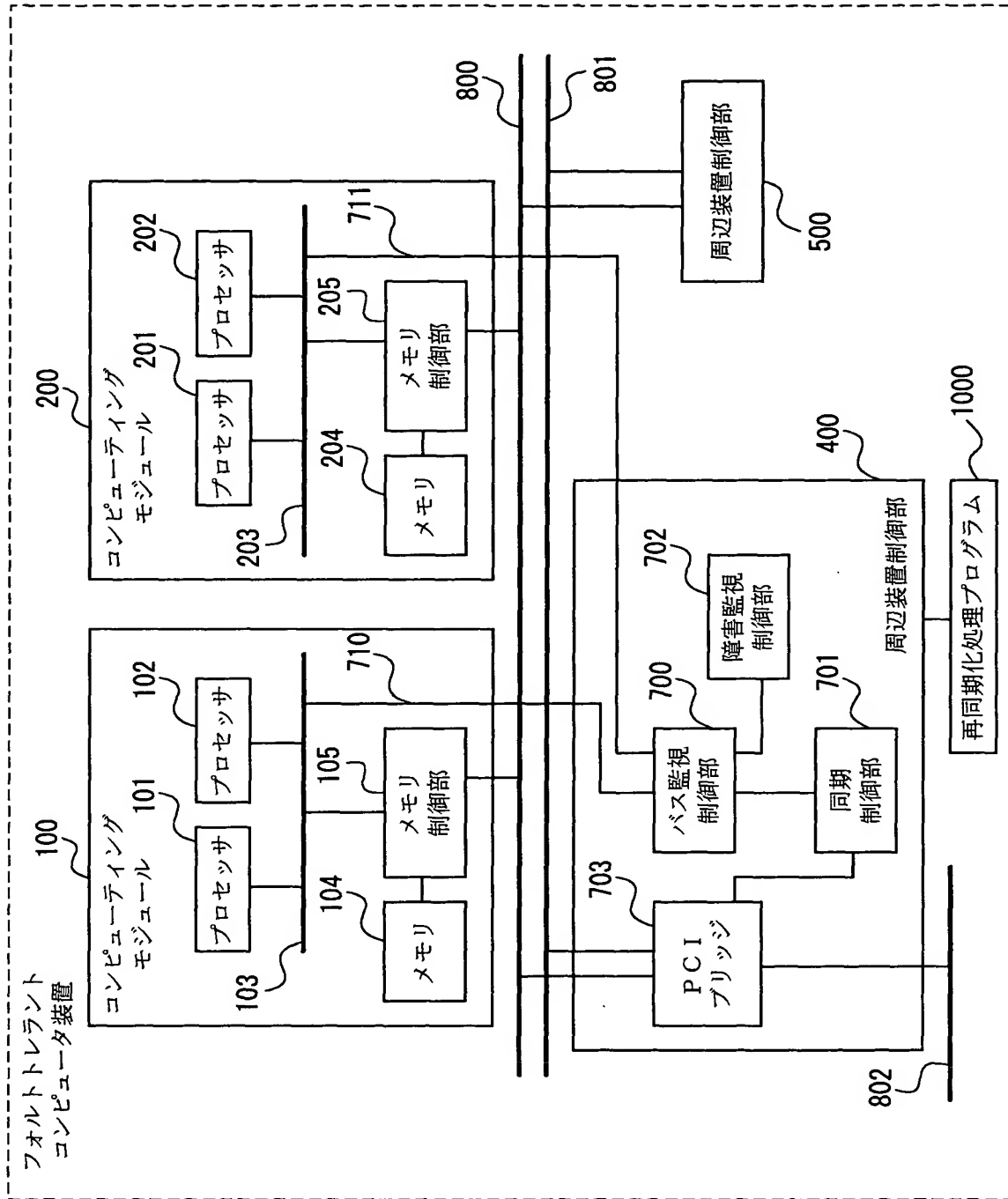
【図 1】



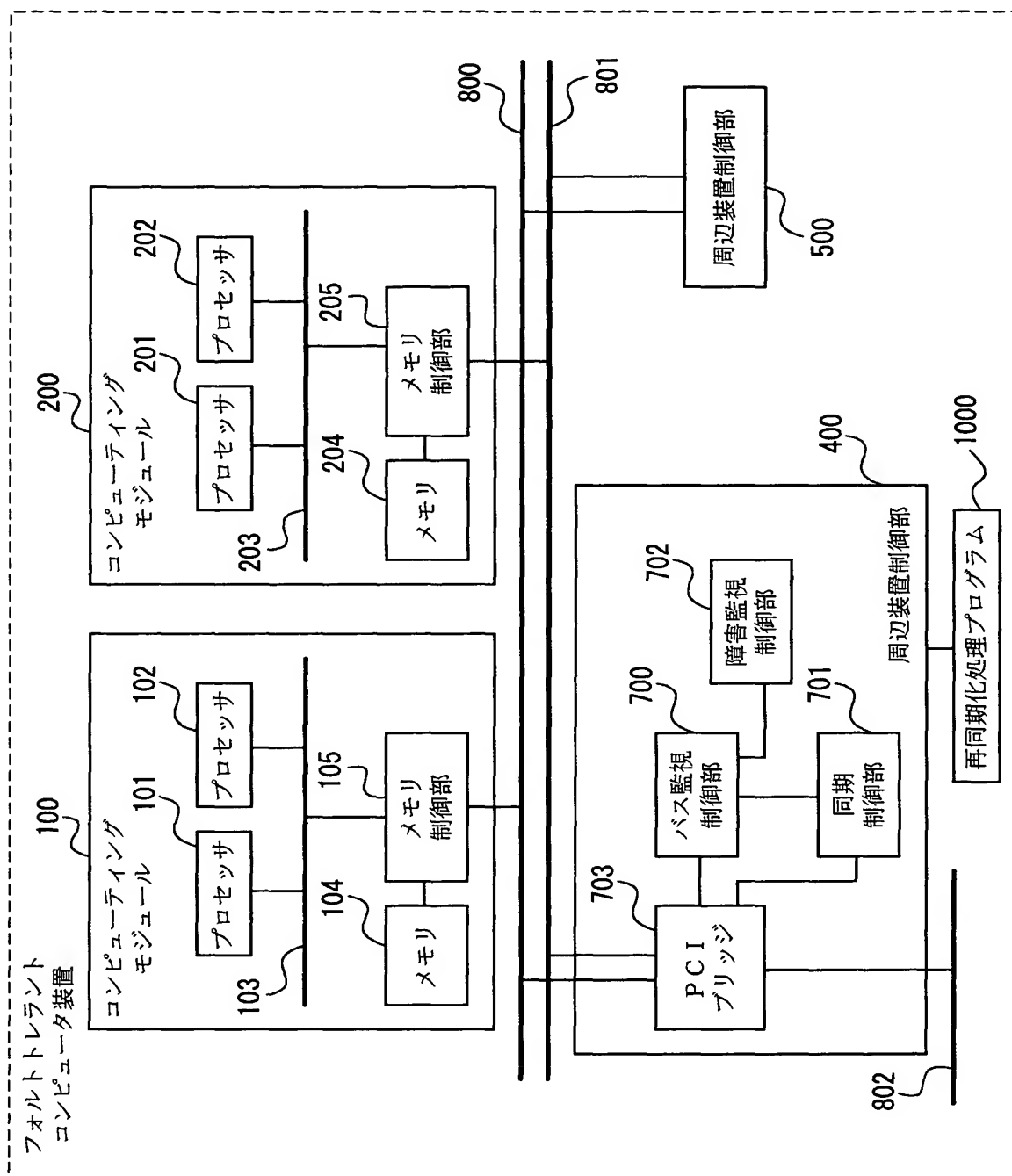
【図 2】



【図 3】



【図 4】



【書類名】 要約書

【要約】

【課題】 装置の動作の一時停止時間を著しく短縮するフォルトトレラントコンピュータ装置とその再同期化方法を提供する。

【解決手段】 プロセッサ、メモリを含むコンピューティングモジュール 100、200、300 を複数備え、各コンピューティングモジュールがクロック同期して同じ命令列を処理するロックステップ方式のフォルトトレラントコンピュータ装置であって、各コンピューティングモジュール 100、200、300 内の各プロセッサ間の外部バスへのアクセス状態の不一致を検出した場合であって、各コンピューティングモジュールを含む装置の故障が検出されない場合に、全ての各プロセッサに対して割り込みを発生させ、各プロセッサにクロック同期制御命令を実行させることにより、各コンピューティングモジュールからのアクセスに対する応答タイミングを調整することで各コンピューティングモジュールのクロック同期を回復する。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2002-204305
受付番号	50201026015
書類名	特許願
担当官	第七担当上席 0096
作成日	平成14年 7月15日

<認定情報・付加情報>

【提出日】 平成14年 7月12日

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 4 2 3 7]

1. 変更年月日	1 9 9 0 年 8 月 2 9 日
[変更理由]	新規登録
住 所	東京都港区芝五丁目 7 番 1 号
氏 名	日本電気株式会社